

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-324901

(43)Date of publication of application : 08.11.2002

(51)Int.Cl.

H01L 29/78

(21)Application number : 2001-129093

(22)Date of filing : 26.04.2001

(71)Applicant : HITACHI LTD

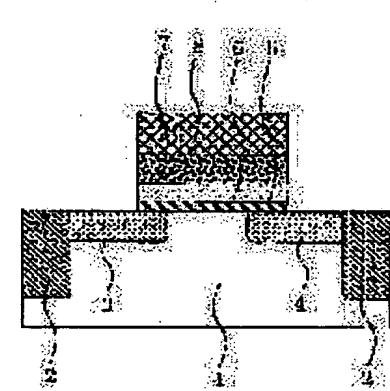
(72)Inventor : KADOSHIMA MASARU
NAMATAME TOSHIHIDE
SUZUKI TAKAAKI
MURATA YASUHIKO
HIRATANI MASAHIKO

(54) FIELD-EFFECT SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a field-effect semiconductor device which can increase the capacity of a gate-insulation film and suppress the leakage current.

SOLUTION: The field-effect semiconductor device comprises a silicon substrate 1, the gate insulation film formed on the silicon substrate, and a gate electrode 8 formed on the gate insulation film. The gate insulation film comprises a glass-like buffer layer 5, a rare earth oxide layer 6, and a dielectric layer 7 having a higher relative permittivity than the rare earth oxide, all formed in this order from the silicon substrate 1 side.



1...シリコン基板 2...電子分離層 3...スルガ
4...ゲートレイヤ 5...ガラス層 6...希土類酸化物層
7...絶縁層 8...ゲート電極

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-324901 ✓

(P2002-324901A)

(43)公開日 平成14年11月8日 (2002.11.8)

(51)Int.Cl.⁷

識別記号

F I

テ-マコ-ト⁸ (参考)

H 0 1 L 29/78

H 0 1 L 29/78

3 0 1 G 5 F 1 4 0

審査請求 未請求 請求項の数8 O.L (全8頁)

(21)出願番号 特願2001-129093(P2001-129093)

(71)出願人 000005108

(22)出願日 平成13年4月26日 (2001.4.26)

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 門島 勝

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 生田目 俊秀

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74)代理人 100068504

弁理士 小川 勝男 (外2名)

最終頁に続く

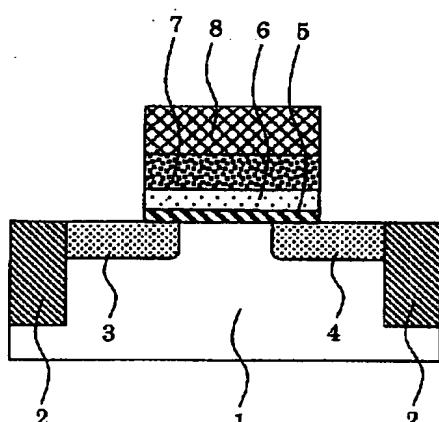
(54)【発明の名称】 電界効果型半導体装置およびその製法

(57)【要約】

【課題】ゲート絶縁膜の高容量化およびリーク電流の抑制が可能な電界効果型半導体装置の提供。

【解決手段】シリコン基板1と、前記シリコン基板上のゲート絶縁膜と、前記ゲート絶縁膜上のゲート電極8を具備した電界効果型半導体装置において、前記ゲート絶縁膜はシリコン基板1側から、ガラス状緩衝層5と、希土類酸化物層6と、前記希土類酸化物より比誘電率の高い誘電体層7で構成されている電界効果型半導体装置。

図 1



1…シリコン基板 2…ゲート絶縁膜 3…ソース領域
4…ドレイン領域 5…ガラス状緩衝層 6…希土類酸化物層
7…誘電体層 8…ゲート電極

【特許請求の範囲】

【請求項1】シリコン基板と、前記シリコン基板上のゲート絶縁膜と、前記ゲート絶縁膜上のゲート電極を具備した電界効果型半導体装置において、

前記ゲート絶縁膜はシリコン基板側から、ガラス状緩衝層と、希土類酸化物層と、前記希土類酸化物より比誘電率の高い誘電体層で構成されていることを特徴とする電界効果型半導体装置。

【請求項2】前記ガラス状緩衝層は Si_3N_4 および SiO_2 あるいはさらに Ln (Ln は Sc 、 Y 、 La および希土類元素)の少なくとも1種を含む物質で構成されている請求項1に記載の電界効果型半導体装置。

【請求項3】前記誘電体層が TiO_2 、 SrTiO_3 、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 、 Ta_2O_5 、 WO_3 、 ZrO_2 、 HfO_2 および LaAlO_3 の少なくとも1種からなる請求項1または2に記載の電界効果型半導体装置。

【請求項4】前記希土類酸化物層が Ln_2O_3 (Ln は Sc 、 Y および La を含む希土類元素)の少なくとも1種からなる請求項1、2または3に記載の電界効果型半導体装置。

【請求項5】前記ガラス状緩衝層の膜厚が0.2～2.0 nmである請求項1～4のいずれかに記載の電界効果型半導体装置。

【請求項6】前記希土類酸化物層の膜厚が0.5～4.0 nmである請求項1～5のいずれかに記載の電界効果型半導体装置。

【請求項7】シリコン基板と、前記シリコン基板上のゲート絶縁膜と、前記ゲート絶縁膜上のゲート電極を具備し、前記ゲート絶縁膜はシリコン基板側から、ガラス状緩衝層と、希土類酸化物層と、前記希土類酸化物より比誘電率の高い誘電体層で構成された電界効果型半導体装置の製法において、

前記希土類酸化物層および前記誘電体層は、各構成元素を含む有機金属原料を用い、化学気相成長法により形成することを特徴とする電界効果型半導体装置の製法。

【請求項8】前記有機金属原料を有機溶媒に溶解もしくは希釈した原料溶液を用い、化学気相成長法により形成する請求項7に記載の電界効果型半導体装置の製法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の構成に関し、特に、集積回路内に形成される電界効果型半導体装置とその製法に関する。

【0002】

【従来の技術】電界効果型半導体装置は様々な電子部品に利用されており、高集積化、低コスト化のため、その最小加工寸法の縮小が進められている。近年では、MOSFET (Metal-Oxide-Semiconductor Field-Effect-Transistor) の微細化は、0.1 μmより小さいゲート長まで目前に迫っている状況である。これに

伴い、 SiO_2 ゲート絶縁膜の薄膜化が進められてきた。しかし、 SiO_2 薄膜の膜厚が1.5 nm以下になると、直接トンネル電流に起因してリーク電流が増大するため、薄膜化には限界があると予測されている。

【0003】そこで、ゲート絶縁膜を従来材 SiO_2 (比誘電率3.9) より誘電率の高い誘電体材料に置き換えると云う試みがなされている。

【0004】高誘電体材料として、ルチル結晶構造のとき約80の比誘電率を示す二酸化チタン (TiO_2) 、ペロブスカイト結晶構造で約200の比誘電率

を示すチタン酸ストロンチウム (SrTiO_3) 、さらに、同じペロブスカイト結晶構造で約300の比誘電率を示すチタン酸バリウムストロンチウム [$(\text{Ba}, \text{Sr})\text{TiO}_3$] 等が存在する。

【0005】これらの材料を用いると、物理膜厚を20倍、50倍、75倍程度厚くしたまま、 SiO_2 と同一のゲート容量を得ることができる。このためにスケーリング則に従って素子を微細化した場合にも、ゲート絶縁膜中の直接トンネリングによるゲート電極/シリコン基板間のリーク電流を抑えられると考えられている。

【0006】一方、チタン酸化物は、熱的安定性が SiO_2 とほぼ同等であるため、膜形成および結晶化等の熱処理後には、シリコン基板との間で急峻な界面を得ることができず、物理膜厚1.5 nm以上の低誘電率な SiO_2 薄膜が成長してしまう。従って、高誘電体材料を用いたにもかかわらず、 SiO_2 換算膜厚を1.5 nm以下にすることが困難となっている。

【0007】また、約25の比誘電率を有する Ta_2O_5 や約300の比誘電率を有する WO_3 などの高誘電体材料では、 SiO_2 より熱的安定性に劣るために、さらに厚い SiO_2 薄膜が成長してしまう。

【0008】これに対して、特開2000-281494号報では、(001)面方位のシリコン基板上に希土類酸化物を(110)面方位でエピタキシャル成長させ、その上に強誘電体(例えば、 $\text{Pb}(Zr, \text{Ti})\text{O}_3$)等の機能性酸化物をエピタキシャル成長させる方法が開示されている。

【0009】また、特開平11-40683号公報では、ゲート絶縁膜として酸化セリウムの反応防止膜と強誘電体を積層する方法が開示されている。 Sc_2O_3 、 Y_2O_3 、 La_2O_3 を含む希土類酸化物は、 SiO_2 より熱的安定性に優れた性質を有する。従って、シリコン基板界面での SiO_2 の成長を抑制する効果がある。

【0010】また、希土類酸化物は10～20程度の比較的高い比誘電率を有する。従って、上記の高誘電体材料と希土類酸化物との積層構造とすることで、低誘電率な SiO_2 薄膜の成長を抑制することが可能になる。

【0011】

【発明が解決しようとする課題】特開2000-281494号報に開示されるようなエピタキシャル成長した

ゲート絶縁膜は、下地シリコン基板との格子定数や熱膨張係数の差によって歪みまたは亀裂が入り易く、リーク電流の発生源になると云った問題点がある。

【0012】また、特開2000-281494号報および特開平11-40683号報に示されるシリコン基板と希土類酸化物の接合では、従来のSiO₂に比べて電子伝導帯のバリア高さが低いため、リーク電流が大きくなると云った問題がある。

【0013】本発明の目的は、下地シリコン基板との格子定数や熱膨張係数の差による歪みまたは亀裂の発生を抑制して、リークの発生源を減少させた電界効果型半導体装置を提供することにある。

【0014】さらに、本発明の目的は、シリコン基板に対して電子伝導帯のバリア高さを十分に高くすることで、リーク電流を抑制した電界効果型半導体装置の提供にある。

【0015】

【課題を解決するための手段】前記目的を達成する本発明の要旨は次のとおりである。

【0016】電界効果型半導体装置において、ゲート絶縁膜はシリコン基板側から、ガラス状緩衝層と、希土類酸化物層と、前記希土類酸化物より比誘電率の高い誘電体層で構成することにある。

【0017】このガラス状緩衝層は、ガラス状ゆえ、エピタキシャル膜で問題であった下地シリコン基板との格子定数や、熱膨張係数の差による歪みを緩衝することができる。その結果、希土類酸化物層内および誘電体層内の歪みが緩和され、リークの発生源が減少し、リーク電流を抑制することが可能になる。

【0018】また、ガラス状緩衝層をSi₃N₄およびSiO₂あるいはさらにLn (LnはSc, Y, Laおよび希土類元素)の少なくとも1種を含む物質で構成することにある。Si₃N₄やSiO₂は電子伝導帯のバリア高さが高く、これらの材料で構成することで、リーク電流を大幅に低減できる特徴がある。さらに、これらの材料のほかにLn (LnはSc, Y, Laおよび希土類元素)の少なくとも1種を含むことで高誘電率化および緻密化が可能になる。

【0019】また、誘電体層に用いる物質として、TiO₂、SrTiO₃、(Ba, Sr)TiO₃、Ta₂O₅、WO₃、ZrO₂ (比誘電率25)、HfO₂ (比誘電率15~40) およびLaAlO₃の少なくとも1種で構成することにある。ここで示したような高誘電率な物質を用いることで、物理膜厚を厚くでき、リーク電流をさらに抑制できる。

【0020】また、希土類酸化物層がLn₂O₃ (LnはSc, YおよびLaを含む希土類元素)の少なくとも1種の物質で構成することにある。いずれもSiO₂より熱的安定性が高いことから、シリコン基板の酸化を抑制できる。

【0021】また、ガラス状緩衝層の膜厚を0.2~2.0nm、および、希土類酸化物層の膜厚を0.5~4.0nmとすることにある。本発明のゲート絶縁膜を構成するガラス状緩衝層、希土類酸化物層、および、誘電体層の誘電率は、それぞれおよそ6~10程度、10~20程度、および、20以上である。従って、目標であるSiO₂換算膜厚1.5nm以下の特性を得、かつ、緩衝層としての効果を得るには、ガラス状緩衝層の物理膜厚は0.2~2.0nm、希土類酸化膜層の物理膜厚は0.5~4.0nmとする。

【0022】また、希土類酸化物層および上記誘電体層を、各構成元素を含む有機金属原料を用い、化学気相成長法によって形成することにある。化学気相成長法は電界効果型半導体装置の特性を劣化させる界面単位やトップ等を最小限に抑えることができる。その原料は、十分な蒸気圧が得られるアルコール系、 β -ジケトン系、シクロペンタ系等の有機金属原料がある。

【0023】さらにまた、上記有機金属原料を有機溶媒に溶解もしくは希釈した原料溶液を用い、化学気相成長法により形成することにある。原料が固体の場合にはテトラヒドロフランやメタノールで代表される有機溶媒に希釈あるいは溶解して、液体原料にするとハンドリングおよび量産性を向上できる。

【0024】

【発明の実施の形態】以下、本発明を実施例により説明する。

【0025】【実施例 1】図1は、本発明によるMOSFETの模式断面図である。本実施例では、素子分離絶縁膜2、ソース領域3およびドレイン領域4を形成したシリコン基板1上に、本発明のゲート絶縁膜を形成した。

【0026】本発明のゲート絶縁膜としては、ガラス状緩衝層5にシリコン酸窒化膜を、希土類酸化物層6にランタン酸化物を、誘電体層7にSrTiO₃を用いた。さらに金薄膜をゲート電極8として用いた。

【0027】以下にその形成方法を示す。周知の有機溶媒、酸、アルカリ溶液等による洗浄方法を用いてシリコン基板を洗浄した後、1%に希釈したHF水溶液に30秒間浸して自然酸化膜を除去した後、脱イオン水で基板を洗浄した。基板洗浄後は真空チャンバに直ちに搬送した。

【0028】まず、ガラス状緩衝層の形成を行った。低酸素濃度雰囲気中、800°CでのRTA (Rapid Thermal Annealing) 处理により0.5nmの熱酸化膜を形成した。その後、アンモニア雰囲気中、700°Cの熱処理によって、ガラス状のシリコン酸窒化膜を得た。

【0029】次に、希土類酸化物層としてLa₂O₃薄膜を化学気相成長法で形成した。図2にその装置の概略図を示す。この装置は、真空ポンプ22によって常に排気し、かつ、薄膜形成室11の壁面は薄膜形成室加熱用ヒ

5

ータ20で100～250℃に加熱した。

【0030】La₂O₃薄膜形成の際、La(dpm)₃(Dipivaloylmethanato Lanthanum)有機金属をC₄H₈O(テトラヒドロフラン)還元溶剤に0.05～0.25mol/Lの濃度で調合して原料液体とした。La原料容器14内のLa原料液体は、液体マスフローコントローラを用いて0.1～3sccmの速度で供給した。

【0031】気化器17の温度を100～250℃に設定して原料液体を一気にガス化した後、Arキャリアガス198～500sccmで搬送した。

【0032】次に、原料ガス/Arガスと酸素ボンベ18からの酸素ガス2～800sccmを混合した後、シャワヘッド19を介して薄膜形成室に導入した。薄膜形成室の圧力を圧力調整バルブ21により0.01～50Torrとし、基板加熱用ヒータ13によりシリコン基板12の温度を300～450℃に加熱した状態で2分間成長させ、物理膜厚3nmを得た。また、La₂O₃薄膜の形成後、未分解成分を除去するために、窒素雰囲気中600℃の後熱処理を行った。

【0033】さらに、誘電体層としてSrTiO₃薄膜を化学気相成長法で形成した。Sr原料容器15内にSr(dpm)₂(Dipivaloylmethanato Strontium)有機金属をC₄H₈O有機溶剤に0.05～0.25mol/Lの濃度で溶解した液体原料と、Ti原料容器16内にTi(i-O₃C₃H₇)₄(Tetraisopropoxy Titanium)有機金属をC₄H₈O有機溶剤に0.05～0.25mol/Lの濃度で希釈した液体原料とを使用した。各液体原料は液体マスフローコントローラを用いて0.1～3sccmの速度で供給した。

【0034】気化器の温度を100～250℃に設定して液体原料を一気にガス化した後、Arガス198～500sccmで搬送した。

【0035】次に、原料ガス/Arガスと酸素反応ガス2～800sccmを混合した後、薄膜形成室に導入した。薄膜形成室の圧力を0.01～50Torrとし、形成温度を300～450℃として10～40分形成して、8～33nmの物理膜厚を得た。

【0036】SrTiO₃薄膜の形成後には、結晶化および未分解成分の除去を目的として、低酸素雰囲気中800℃の後熱処理を行った。この場合、還元雰囲気中の熱処理を行うと容易にSrTiO₃薄膜が還元されるので、低酸素雰囲気もしくは不活性雰囲気とするのがよい。

【0037】こうして形成したゲート絶縁膜の上に、さらに真空蒸着法によって金薄膜を100nm程度形成しMOSFETを形成した。

【0038】シリコン基板を接地し、金上部電極に-2～2V変化させた場合のC-V特性よりSiO₂換算膜厚を算出した。その結果、SiO₂換算膜厚は1.4～2.0nmであった。

6

【0039】このMOSFETに対して、シリコン基板を接地し、金電極に+1Vの電圧を印加した際のリーク電流値を図3に示した。10⁻³A/cm²～10⁻⁶A/cm²の良好なリーク電流特性を示した。

【0040】比較例として、シリコン基板上にシリコン酸化膜を形成せずに、La₂O₃薄膜とSrTiO₃薄膜を同様に形成して、SiO₂換算膜厚1.3～1.9nmを得た。

【0041】シリコン基板を接地し、金電極に+1Vの電圧を印加した際のリーク電流値を比較例1として図3に示した。本実施例の結果と比較することで、ガラス状緩衝層の形成により、リーク電流を抑制できたことが分かる。

【0042】本実施例の形態によれば、シリコン基板との界面における界面準位の生成を抑えるのに有利な化学気相成長法を用いて、SiO₂換算膜厚1.5nm以下で、かつ、低リーク電流なゲート絶縁膜を得ることができる。

【0043】【実施例2】本発明のゲート酸化膜をスパッタ法により形成した。ガラス状緩衝層にSiYO、希土類酸化物にY₂O₃、誘電体層にTiO₂としたゲート絶縁膜を形成した場合について示す。なお、ゲート絶縁膜の形成の前には、実施例1と同様に基板を洗浄し、直ちに真空チャンバーに搬送した。

【0044】まず、Si(0.8)Y(0.2)Oの焼結体ターゲットを用いて、SiYOガラス状緩衝層をRFマグネットロンスパッタ法により形成した。アルゴンガス雰囲気0.1～10Pa、基板温度300℃、RFパワー800Wとし30秒間形成して物理膜厚0.4nmを得た。

【0045】次に、Y₂O₃薄膜をRFマグネットロンスパッタ法によりシリコン基板上に形成した。ターゲットにはY₂O₃焼結体を用い、アルゴンガス雰囲気0.1～10Pa、基板温度300℃、RFパワー800Wとして1分間形成し、物理膜厚2.5nmを得た。

【0046】さらに、TiO₂薄膜をRFマグネットロンスパッタ法によりシリコン基板上に形成した。ターゲットにはTiO₂焼結体を用い、アルゴンガス雰囲気0.1～10Pa、基板温度300℃、RFパワー800Wの条件で1～5分間形成して、物理膜厚6～19nmを得た。この後、二酸化チタンの結晶化のために、低酸素雰囲気中で700℃の熱処理を行った。

【0047】こうして形成したゲート絶縁膜の上に、さらに真空蒸着法によって金薄膜を100nm程度形成して、MOSFETを形成した。

【0048】シリコン基板を接地し、金上部電極に-2～2V変化させた場合のC-V特性よりSiO₂換算膜厚を算出した。その結果、SiO₂換算膜厚1.4～2.1nmを得た。

【0049】このMOSFETに対して、シリコン基板を接地し、金電極に+1Vの電圧を印加した際のリーク

電流値を図3に示した。 $10^{-4} \text{ A}/\text{cm}^2 \sim 10^{-7} \text{ A}/\text{cm}^2$ の良好なリーク電流特性を示した。

【0050】比較例として、シリコン基板上にガラス状緩衝層を形成せずに、 Y_2O_3 薄膜と TiO_2 薄膜のみを同様に形成して SiO_2 換算膜厚 $1.3 \sim 2.0 \text{ nm}$ を得た。シリコン基板を接地し、金電極に $+1 \text{ V}$ の電圧を印加した際のリーク電流値を比較例2として図4に示した。本実施例の結果との比較により、ガラス状緩衝層を形成した結果、リーク電流を抑制できたことが分かる。

【0051】【実施例3】本発明のゲート絶縁膜を使用したMOSFETの製造工程を示す。本実施例では、n型のMOSFETに限定する。

【0052】低損失で有利なCMOSを形成する際には、図示しないがnウェルとpウェルを形成し、イオン注入の際にはそれぞれp型不純物とn型不純物を打ち分けて製造すればよい。従って、本発明はn型のMOSFETに限定されるものではない。また、本実施例で行う製法にも限定されない。

【0053】まず、図5に示すように、素子分離絶縁膜102は、シリコン基板101に深さ約 $0.4 \mu\text{m}$ の溝を形成した後に、化学気相成長法によって SiO_2 薄膜を全面に形成し、次にCMP(Chemical Mechanical Polishing)法で平坦化させて作製した。

【0054】次に、シリコン基板表面に熱酸化法等によってシリコン酸化膜等のバッファ層103を約 10 nm 程度形成した。このバッファ層は、次工程で形成するダミーゲートをエッチングする際のストップの役割をする。

【0055】ダミーゲートとするポリシリコン104およびシリコン窒化膜105を化学気相成長法により、それぞれ約150および約50nm形成した。次いで、リソグラフィによりレジストパターンを形成し、ゲート形成予定領域以外の部分を異方性エッチングし、ポリシリコンとシリコン窒化膜で構成されるダミーゲートを形成した。

【0056】図6に示すように、形成したダミーゲートをマスクとして、As等のイオンを注入し、n(-)拡散層106を形成した。その後、シリコン窒化膜を全面に100nm程度形成し、さらに異方性エッチングを行い、図7に示す側壁絶縁膜107を形成した。

【0057】ダミーゲートおよび側壁絶縁膜をマスクとして、再度As等のイオン注入を行い、n(-)拡散層より不純物濃度が高いn(+)拡散層108を形成した。この段階で、拡散層の活性化アニールを行ってもよく、各イオン注入後に活性化アニールを行ってもよい。

【0058】このようにして形成したn(-)拡散層とn(+)拡散層を合わせた領域がn型MOSFETのソースおよびドレインとなる。

【0059】次に、TEOS(Tetra Ethoxy Silane)原料を用いたプラズマ化学気相成長法等によって、

ダミーゲート上部のシリコン窒化膜の高さ程度、またはそれ以上の高さまで層間絶縁膜109を形成した。その後、図8に示すように、ダミーゲートを構成するポリシリコンが、表面に露出するまでCMP等の手段によって平坦化を行った。

【0060】図9に示すように、表面に露出したポリシリコンをエッチングし、さらにHF処理によってバッファ層を除去した。これによって、ゲート絶縁膜およびゲート電極を積層するための溝を形成した。

【0061】次に、本発明のゲート絶縁膜を形成した。まず、低酸素濃度雰囲気中、800°CでのRTA(Rapid Thermal Annealing)処理により 0.5 nm の熱酸化膜を形成した。その後、アンモニア雰囲気中で700°Cの熱処理によってシリコン酸化膜とし、図10に示すようにガラス状緩衝層110を形成した。

【0062】次に、図11に示すように、 Gd_2O_3 薄膜を化学気相成長法により 2 nm 形成し、希土類酸化物層111を得た。原料には $\text{Gd}(\text{dpm})_3$ (Dipivaloylmethanato Gadorinium)有機金属を $\text{C}_4\text{H}_8\text{O}$ 有機溶剤に $0.05 \sim 0.25 \text{ mol/L}$ の濃度で溶解した液体原料を用いて、実施例1と同様な条件で物理膜厚 2 nm の Gd_2O_3 薄膜を形成した。 Gd_2O_3 薄膜の形成後、膜中不純物の除去を目的として、不活性ガス中、 $600 \text{ }^\circ\text{C}$ 5分の熱処理を行った。

【0063】さらに、誘電体層112として物理膜厚 10 nm の TiO_2 薄膜を化学気相成長法で形成した。 Ti 原料には $\text{Ti}(\text{i}-\text{OC}_3\text{H}_7)_4$ 有機金属を $\text{C}_4\text{H}_8\text{O}$ 有機溶剤に $0.05 \sim 0.25 \text{ mol/L}$ の濃度で希釈した液体原料を使用した。

【0064】 TiO_2 薄膜形成後に、低酸素濃度中、 $700 \text{ }^\circ\text{C}$ 、5分の結晶化熱処理を行った。形成方法としては、電界効果型半導体装置の特性を劣化させる界面準位やトラップ等を最小限に抑えることのできる蒸着法を用いてもよい。また、スパッタ法を用いる場合には、平行化(Collimated)スパッタ等の方法により、界面準位の形成を抑制する必要がある。

【0065】本発明のゲート絶縁膜に統いて、ゲート電極113を溝が完全に埋まるまで形成した(図12)。ゲート電極には TiN 薄膜を用い、 TiCl_4 原料ガスと NH_3 反応ガスを用いた化学気相成長法によって形成した。

【0066】本実施では、ゲート電極に TiN 電極を用いたが、ポリシリコン、金属元素、金属元素の窒化物、金属元素の珪化物および貴金属元素のいずれであってもよい。また、ゲート電極の形成方法は、前工程で形成したゲート絶縁膜にダメージを与えない化学気相成長法や蒸着法が望ましい。

【0067】プラズマ状態を利用するスパッタ法を用いる場合には、平行化(Collimated)スパッタ等の手段を用いて、高エネルギー粒子によるゲート絶縁膜へのダ

メージを抑制する必要がある。

【0068】次に、図13のようにゲート電極を素子間で分離するために、エッチングを行った。この後、図示しないが周知の技術によって層間絶縁膜やコンタクトホールや配線を形成した。

【0069】以上のようにして、本発明のゲート絶縁膜を使用したn型のMOSFETを形成した。実施例1, 2と同様に、C-V特性よりSiO₂換算膜厚を算出した。その結果、本実施の形態におけるゲート絶縁膜のSiO₂換算膜厚1.4nmであった。

【0070】本実施の形態によれば、MOSFETにおいてSiO₂換算膜厚で1.5nm以下の特性を有するゲート絶縁膜を形成することができた。従って、高集積化や低消費電力化に適したMOSFETを提供できた。

【0071】

【発明の効果】本発明によれば、ゲート絶縁膜をガラス状緩衝層と、希土類酸化物層と、前記希土類酸化物より比誘電率の高い誘電体層で構成することで、ゲート絶縁膜の高容量化、および、リーク電流の抑制が可能になるために、ゲート長を0.1μmよりも大きいことが必要とされるSiO₂換算膜厚1.5nm以下のゲート絶縁膜を有する電界効果型半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明のMOSFETの構造を表す模式断面図である。

【図2】本発明のゲート絶縁膜を形成するための化学気相成長装置の概略図である。

【図3】本発明のゲート絶縁膜のSiO₂換算膜厚とリーク電流密度の関係を示すグラフである。

【図4】本発明のゲート絶縁膜のSiO₂換算膜厚とリーク電流密度の関係を示すグラフである。

【図5】本発明のゲート絶縁膜を有するn型MOSFET

Tの製造過程を示す模式断面図である。

【図6】本発明のゲート絶縁膜を有するn型MOSFETの製造過程を示す模式断面図である。

【図7】本発明のゲート絶縁膜を有するn型MOSFETの製造過程を示す模式断面図である。

【図8】本発明のゲート絶縁膜を有するn型MOSFETの製造過程を示す模式断面図である。

【図9】本発明のゲート絶縁膜を有するn型MOSFETの製造過程を示す模式断面図である。

【図10】本発明のゲート絶縁膜を有するn型MOSFETの製造過程を示す模式断面図である。

【図11】本発明のゲート絶縁膜を有するn型MOSFETの製造過程を示す模式断面図である。

【図12】本発明のゲート絶縁膜を有するn型MOSFETの製造過程を示す模式断面図である。

【図13】本発明のゲート絶縁膜を有するn型MOSFETの製造過程を示す模式断面図である。

【符号の説明】

1…シリコン基板、2…素子分離絶縁膜、3…ソース領域、4…ドレイン領域、5…ガラス状緩衝層、6…希土類酸化物層、7…誘電体層、8…ゲート電極、11…薄膜形成室、12…シリコン基板、13…基板加熱用ヒータ、14…La原料容器、15…Sr原料容器、16…Ti原料容器、17…気化器、18…酸素ボンベ、19…シャワヘッド、20…薄膜形成室加熱用ヒータ、21…圧力調整バルブ、22…真空ポンプ、101…シリコン基板(p型)、102…素子分離絶縁膜、103…バッファ層、104…ポリシリコン、105…シリコン窒化膜、106…n(-)拡散層、107…側壁絶縁膜、108…n(+)拡散層、109…層間絶縁膜、110…ガラス状緩衝層、111…希土類酸化物層、112…誘電体層、113…ゲート電極。

【図1】

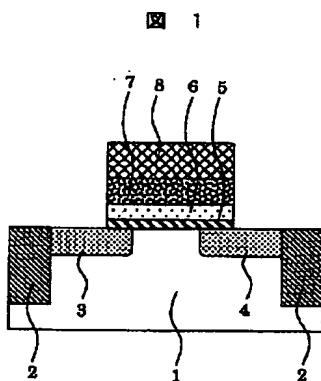


図 1

【図3】

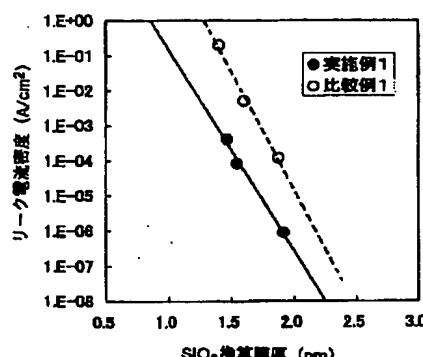


図 3

【図4】

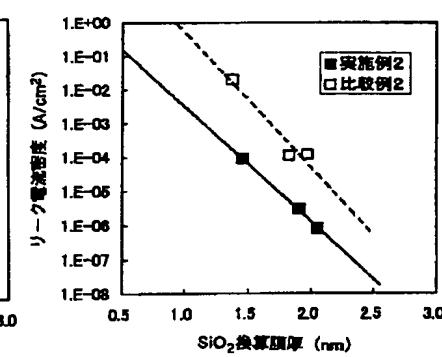
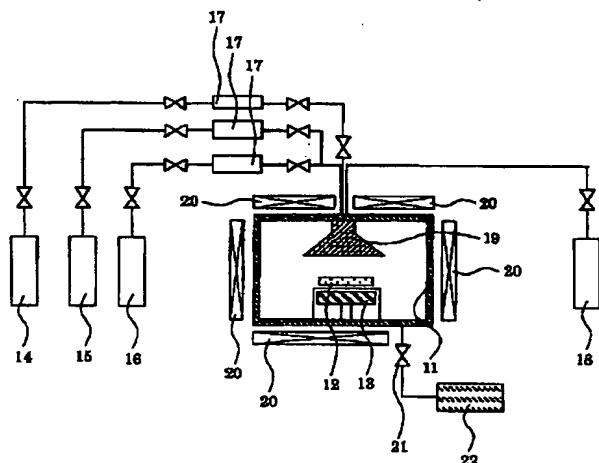


図 4

【図2】

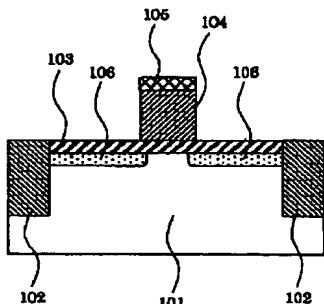
図 2



11…薄膜形成室 12…シリコン基板 13…基板加熱用ヒータ
14…La 原料容器 15…Sr 原料容器 16…Ti 原料容器 17…氧化器
18…酸素ポンベ 19…シャワヘッド 20…薄膜形成室加熱用ヒータ
21…圧力調整バルブ 22…真空ポンプ

【図6】

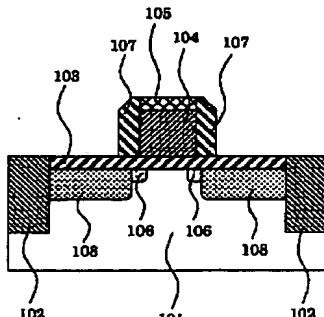
図 6



106…n(+) 拡散層

【図7】

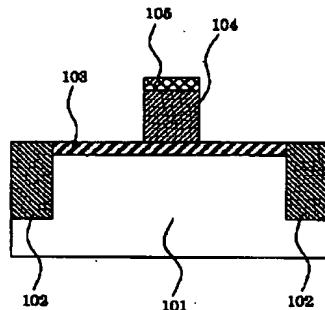
図 7



107…側面絶縁層 108…n(+) 拡散層

【図5】

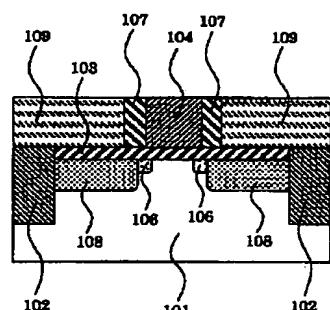
図 5



101…シリコン基板 (p型) 102…電子分離絶縁層
103…バッファ層 104…ポリシリコン 105…シリコン塗化膜

【図8】

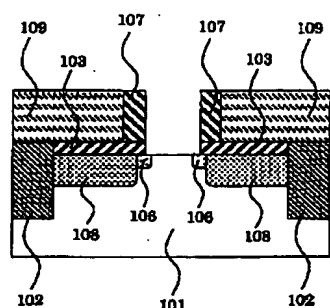
図 8



109…層間絶縁層

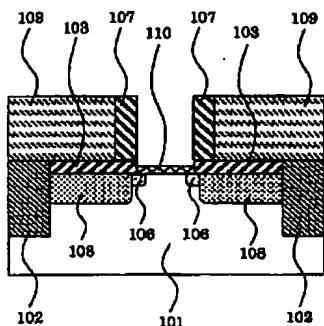
【図9】

図 9



【図10】

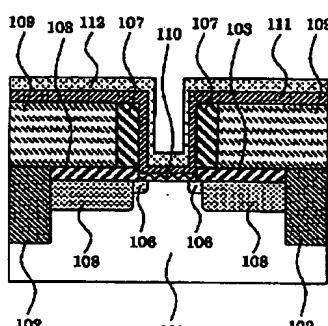
図 10



110…ガラス状緩衝層

【図11】

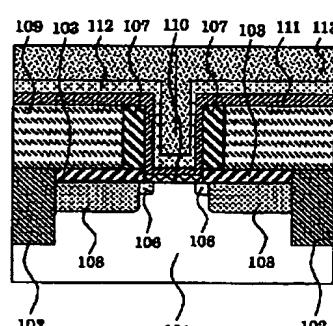
図 11



111…希土類酸化物層 112…銅電極層

【図12】

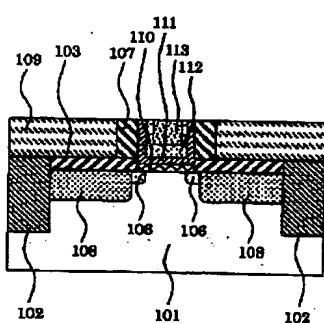
図 12



113…ゲート電極

【図13】

図 13



フロントページの続き

(72)発明者 鈴木 孝明

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 村田 康彦

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 平谷 正彦

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

F ターム(参考) 5F140 AA08 AA24 AB03 BA20 BD02

BD04 BD07 BD09 BD11 BD13

BE02 BE07 BE08 BE09 BE10

BE16 BE17 BF01 BF05 BF08

BG03 BG04 BG14 BG28 BG30

BG52 BG53 BH15 BK02 BK05

BK13 BK21 CB04 CC03 CC15

CE07